

LAYOUT REPORT

目錄

Ver. 0.2

LAYOUT REPORT	1
目錄.....	1
1. PCB LAYOUT 術語解釋(TERMS).....	2
2. Test Point : ATE 測試點供工廠 ICT 測試治具使用.....	2
3. 基準點 (光學點) -for SMD:.....	4
4. 標記 (LABEL ING).....	5
5. VIA HOLE PAD.....	5
6. PCB Layer 排列方式.....	5
7. 零件佈置注意事項 (PLACEMENT NOTES).....	5
8. PCB LAYOUT 設計.....	6
9. Transmission Line (傳輸線).....	8
10. General Guidelines - 跨 Plane.....	8
11. General Guidelines - 繞線.....	9
12. General Guidelines - Damping Resistor.....	10
13. General Guidelines - RJ45 to Transformer.....	10
14. Clock Routing Guideline.....	12
15. OSC & CRYSTAL Guideline.....	12
16. CPU → RAM→FLASH.....	14
17. General Guidelines - Decoupling Capacitor.....	14
18. POWER 部分.....	15
19. GND & Vcc Plan 切割.....	17
20. DRC : Design Rule Check.....	19
21. CAM 輸出/輸出文件(參考 gerber file 流程圖).....	20
22. 其他注意事項.....	21
23. PCB 製作規範填寫注意事項.....	23

1. PCB LAYOUT 術語解釋 (TERMS)

1. COMPONENT SIDE (零件面、正面)：大多數零件放置之面。
2. SOLDER SIDE (焊錫面、反面)。
3. SOLDER MASK (止焊膜面)：通常指 Solder Mask Open 之意。
4. TOP PAD：在零件面上所設計之零件腳 PAD，不管是否鑽孔、電鍍。
5. BOTTOM PAD：在鍍錫面上所設計之零件腳 PAD，不管是否鑽孔、電鍍。
6. POSITIVE LAYER：單、雙層板之各層線路；多層板之上、下兩層線路及內層走線皆屬之。
7. NEGATIVE LAYER：通常指多層板之電源層。
8. INNER PAD：多層板之 POSITIVE LAYER 內層 PAD。
9. ANTI-PAD：多層板之 NEGATIVE LAYER 上所使用之絕緣範圍，不與零件腳相接。
10. THERMAL PAD：多層板內 NEGATIVE LAYER 上必須零件腳時所使用之 PAD，一般稱為散熱孔或導通孔。
11. PAD (鍍墊)：除了 SMD PAD 外，其他 PAD 之 TOP PAD、BOTTOM PAD 及 INNER PAD 之形狀大小皆應相同。
12. Moat：不同信號的 Power & GND plane 之間的分隔線
13. Grid：佈線時的走線格點

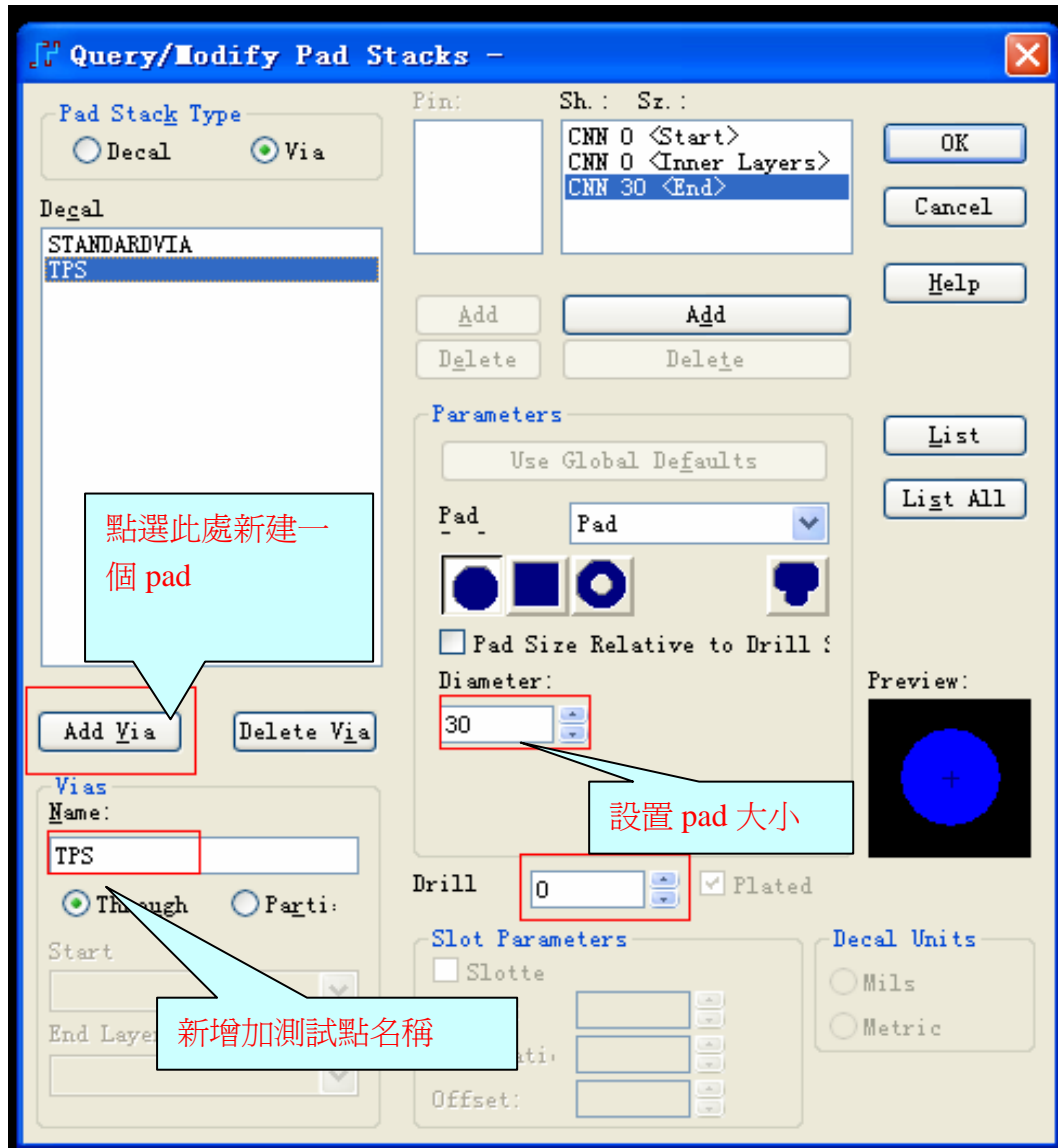
2. Test Point：ATE 測試點供工廠 ICT 測試治具使用

ICT 測試點 LAYOUT 注意事項：

PCB 的每條 TRACE 都要有一個作為測試用之 TEST PAD (測試點)，其原則如下：

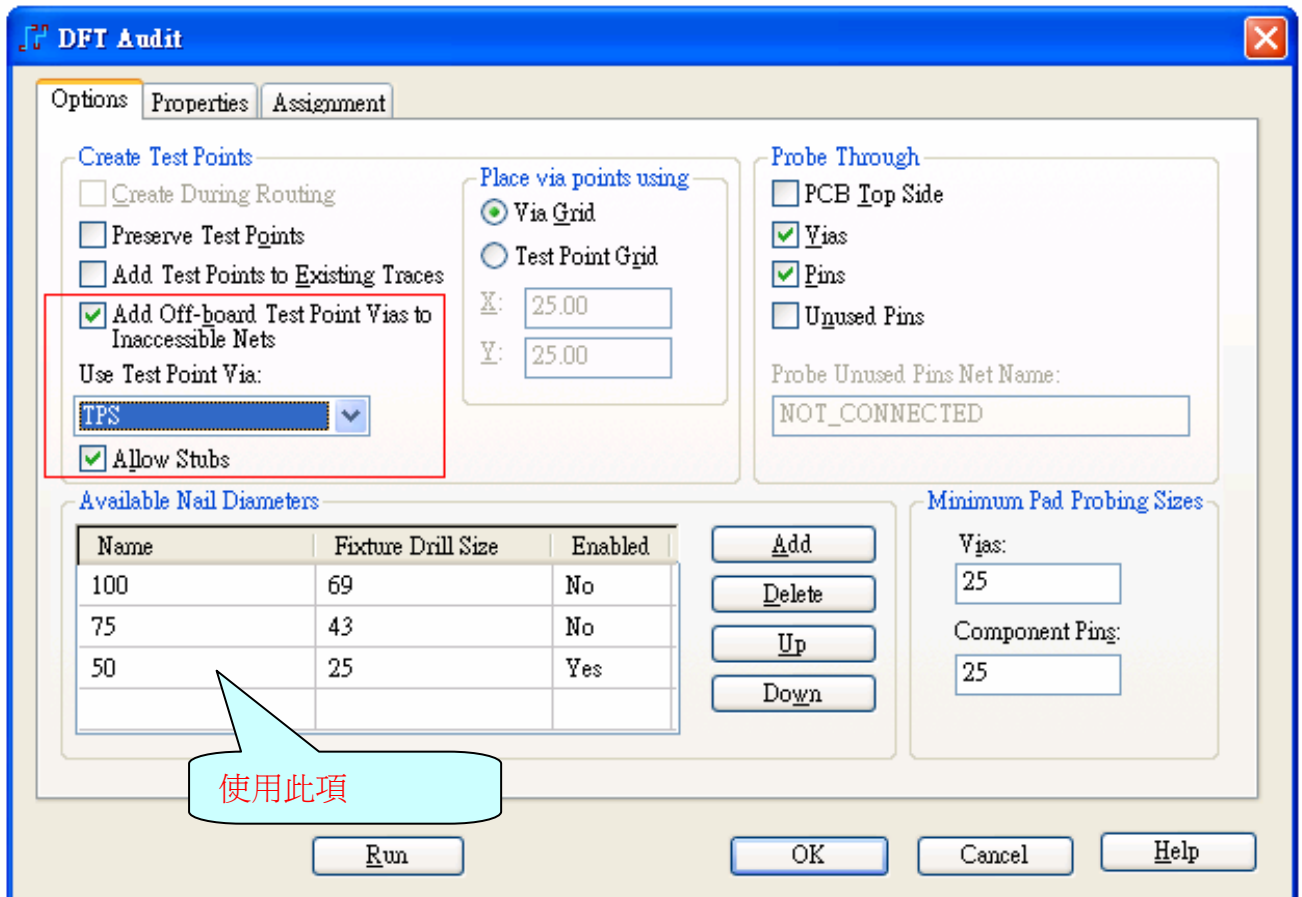
1. 一般測試點大小均為 30-35mil，元件分布較密時，測試點最小可至 30mil。測試點與元件 PAD 的距離最小為 40mil。
2. 測試點與測試點間間距最小為 50-75mil，一般使用 75mil。密度高時可使用 50mil，
3. 測試點必須均勻分佈於 PCB 上，避免測試時造成板面受力不均。
4. 多層板必須透過貫穿孔 (VIA) 將測試點留於錫爐著錫面上 (Solder Side)。
5. 測試點必需放至於 Bottom Layer
6. 輸出 test point report (.asc 檔案 powerpcb v3.5) 供廠商分析可測率
7. 測試點設置處：Setup → pads → stacks

測試點設置處



8. 自動載入測試點 100%:TOOLS→DFT Audit→下圖

* 自動 100 加入%Test Point 設置



3. 基準點 (光學點) -for SMD:

為了 PICK & PLACE 機器自動放置 SMD 零件之基準設定，因此必須在板子四周加上光學點。

1.



在 SOLDER MASK 範圍內不可有任何 TRACE， SILK SCREEN 及 VIA，並且在下一層之相同位置必須為全部銅箔。

2. PCB 光學校正點應以圓形做法為準，以便於 SMT 機器的定位。四邊有 PIN 之 IC pin1 及其對角端各作一個基準點，此基準點為 1.0mm 圓形 PAD，其 SOLDER MASK 為 3.0mm 圓形；此 SOLDER MASK 內不可有其他之

TRACE、SILK-SCREEN、VIA 及開孔。

3. 光學點之位置，必須與 SMD 零件同一面(即零件面)，如為雙面 SMD 板，則雙面亦須作光學點。
4. 光學點需放在 SMD 板四角落，DOT 中心點距離板邊至少 5.0mm。
5. 1. PCB V-CUT → 做在突出的零件邊(RJ45)，寬度 8mm，距離 V-CUT 邊緣往板內 X、Y 軸 5,5mm 處放置孔徑 4mm 固定孔
5. 2. 若是 pcb RJ45 處空間足夠，需放置在實際板框邊緣往內 X，Y 軸 5,5mm 處。

4. 標記 (LABEL ING)

每一種 PCB 之設計均須將“板名、R Logo 一定要放在 TOP 層、生產日期、字令貼紙 Label ”作在 pcb SILK SCREEN 上。

需注意後加在 PCB 中的圖形（如一般標示線）是否會造成信号短路。

5. VIA HOLE PAD

一般製程 VIA HOLE PAD 大小(使用圓形 PAD)

VIA 孔徑	PAD 直徑	ANTIPAD	Pcb 層數
10mil	20mi	30mil	4 層板
12mil	24mil	32mil	2 層板
14mil	26mil	32mil	GND Via(all pcb)

6. PCB Layer 排列方式

Layer	Definition
1	Signal
2	VCC
3	GND
4	Signal

Layer	Definition
1	Signal
2	GND
3	VCC
4	Signal

7. 零件佈置注意事項 (PLACEMENT NOTES)

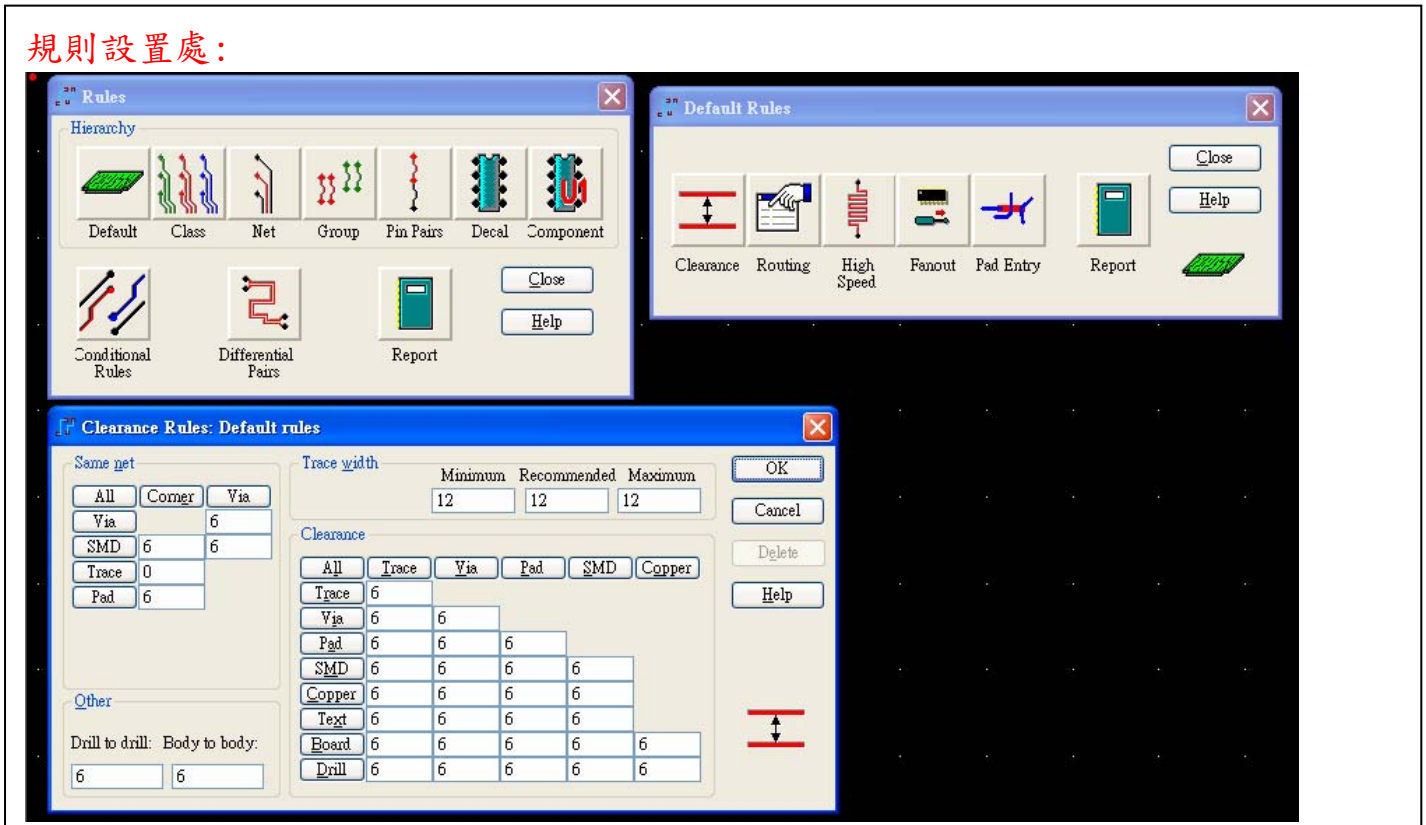
1. 位置固定之零件，必須依機構圖上所標示之位置擺放，方向及腳位亦須注意。
2. 機構圖上雖有標示位置，但非固定位置之零件，可依 LAYOUT 之需要加以調整，但須經過本公司相關人員之許可。
3. PLACEMENT 時請注意機構圖上之各種限制區域，例如：零件高度、可插拔零件(JUMPER、CONNECTOR 等)之限制區域…等。
4. 所有零件之方向必須垂直或水平於板邊置放，而相同包裝類型之零件方向請保持一致。
5. 注意可插拔零件四周之空間是否不致妨礙人工插拔動作。

6. 過錫爐方向性的考量： PCB LAYOUT 時所有元件應儘量依同一方向配置
7. a. 上下層零件 PAD 邊緣距離板邊至少 4MM, (下限 3MM)
- b. 下層 SMD 零件距離 DIP 零件的 PAD 至少 3MM(邊對邊)
- c. H4 定位孔與 RJ-45 同方向, 且距離板邊 X=5 , Y =5MM,
- d. RJ-45 下層零件距離板邊 7MM

8. PCB LAYOUT 設計

1. 佈局前的準備：先將layout軟體單位設置為mm，避免載入機構圖時因單位不同產生比例問題；File→import→. dxf，將載入的機構圖放置於LAYER27 (Assembly Drawing Top),
2. 畫出版框：Draftin Icon→Boardoutline
3. 確定定位孔：螺絲孔定位
4. 板內元件局部高度控制：繪製出禁止區→Draftin Icon →Keepout
5. 固定有條件限制的元件：先擺關鍵元件，面積比較大的元件，零散的元件
6. 輸入NETLIST：File→import . asc，import後出現的.err檔案必須逐一檢查問題直到出現 Import no error
7. 參照線路圖，結合機構，進行佈局
8. 對層定義、線寬、線距、過孔、全局參數等作設置
 - 層定義：Setup→layer Definition
 - 線寬、線距、過孔 Setup→design rules

規則設置處：



層定義設定處: Setup→layer Definition

層名稱

正片

負片

分割混合

變更層數

ON/OFF 層面

使用於混合層時設置層面所使用的 NET

- 手工佈線:

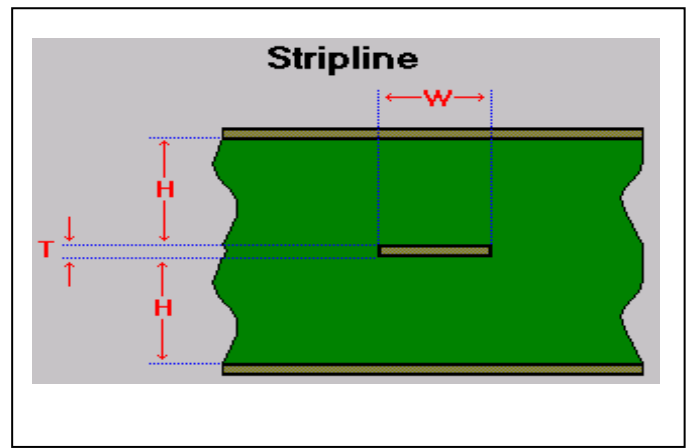
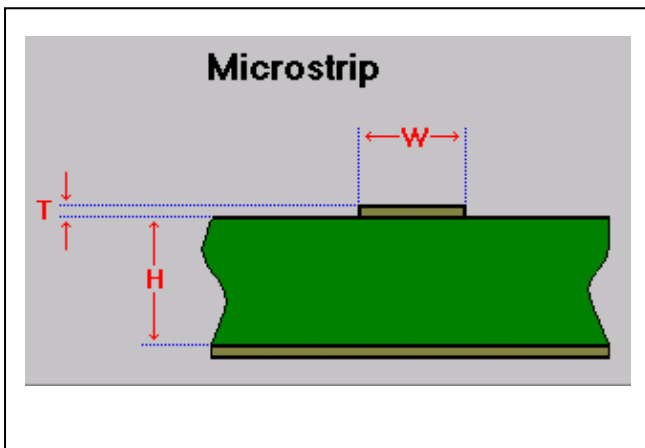
參照線路圖進行佈線，檢查佈線是否符合要求，修改布線，並符合相應要求。

- 走線規律:

- 1、走線方式，盡量走短線，特別是小信號。
- 2、走線形狀同一層走線改變方向時，應走斜線(轉 45 度)禁止走直角。
- 3、電源線與地線的設計 40—100mil，高頻線用地線屏蔽。
- 4、多層板走線方向相互垂直，層間耦合面積最小；禁止層與層間平行走線。
- 5、VIA 設計的控制。

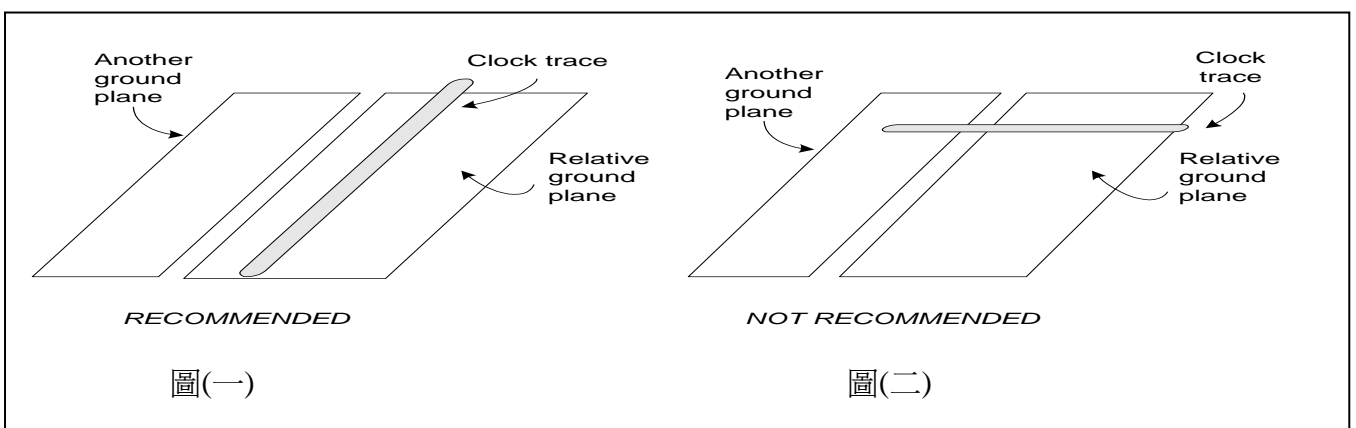
9. Transmission Line (傳輸線)

- 傳輸線分 2 種：Microstrip 及 Stripline。
- Microstrip：一般走在外層的 Trace 屬於 Microstrip，例如 Component size 及 solder size 的 Trace。
- Stripline：一般走在內層的 Trace 屬於 Stripline。
- Microstrip & Stripline 的特性阻抗不一樣，必須避免不同型態的傳輸線存在於不同的層面上。



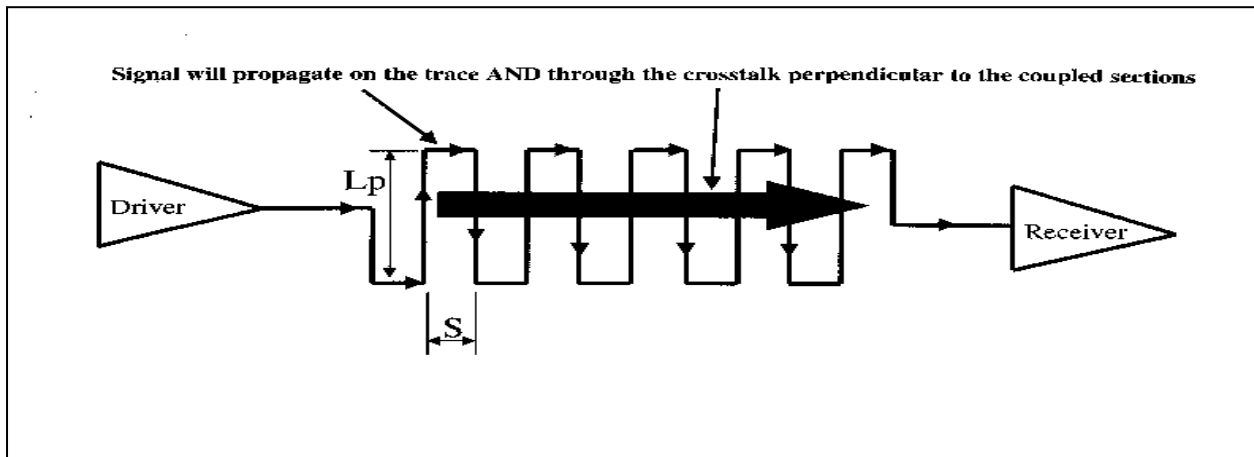
10. General Guidelines - 跨 Plane

- 高頻訊號走線須注意不跨不同 Power Plan 的問題，否則會因 Return Path 不好造成信號不好。
- 銅箔在 VCC GND Plan 層面盡量避免有連續破孔情形出現，
- 如下圖：第 2 層有兩個不同 Plane AGND 及 DGND，圖(二)Clock trace 同時跨在 AGND 及 DGND，此信號一定不好



11. General Guidelines - 繞線

- Serpentine trace (蛇行線): 一般在 Bus 或 clock 應用上, 常為了要求等長, 必須將較短的 Trace 要求繞線增加長度, 方能達到所要求的長度。
- 繞線須注意那些事項: 首先要注意繞線本身的間距 S , S 間距越小, decouple 效應越明顯, 信號越差, 所以 S 越大越好, 但因空間有限, 依 3-W 原則, S 必須為 2 倍線寬為佳。



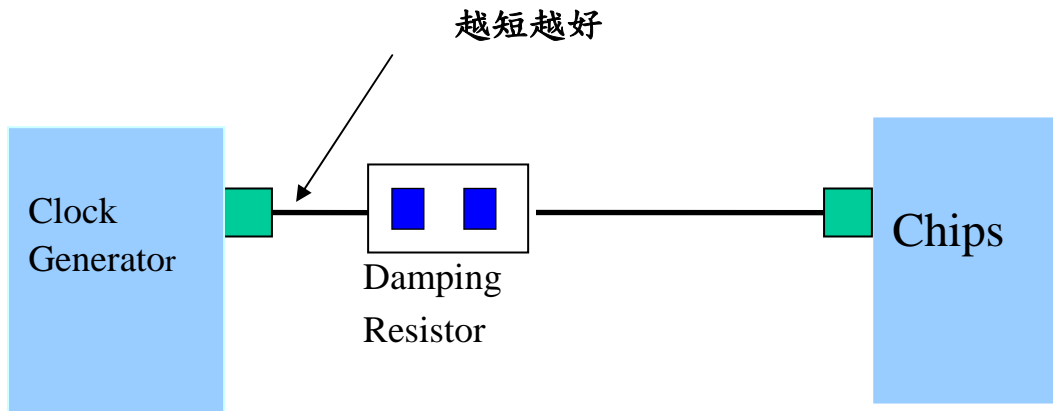
- 何為 3-W 法則: 例如當訊號寬度為 5mils (W) 時, 則 Trace 兩旁的 Space 需為 10mils ($2W$), 如此可降低 2 線之件的 Crosstalk 效應, 一般針對高頻訊號 (例如 CLK) 而言, 經常運用 3-W 法則來降低 Crosstalk, 或是用 GND 作屏蔽。

相鄰 Trace		10 mils (2W)
Clock Trace		5 mils (1W)
相鄰 Trace		10 mils (2W)

* Note : 兩條 Trace 之間不能有 VIA (貫穿孔)

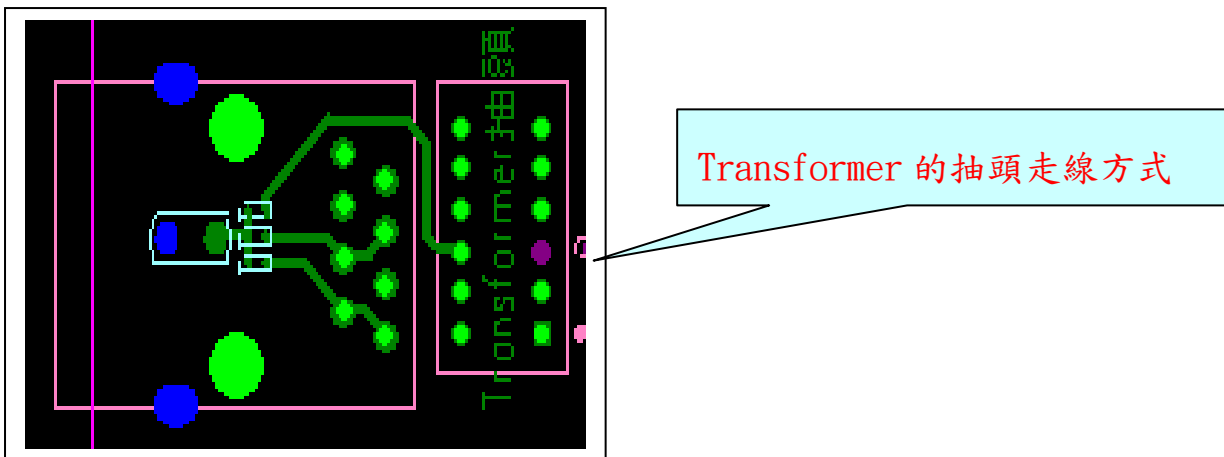
12. General Guidelines - Damping Resistor

- Damping 電阻：一般高頻信號在 source 端會加一顆串接電阻作阻抗匹配即稱為 Damping 電阻，最常見應用就是 clock signals，而 Damping resistor 擺的位置必須靠近 source 端(越近越好)，如下圖所示

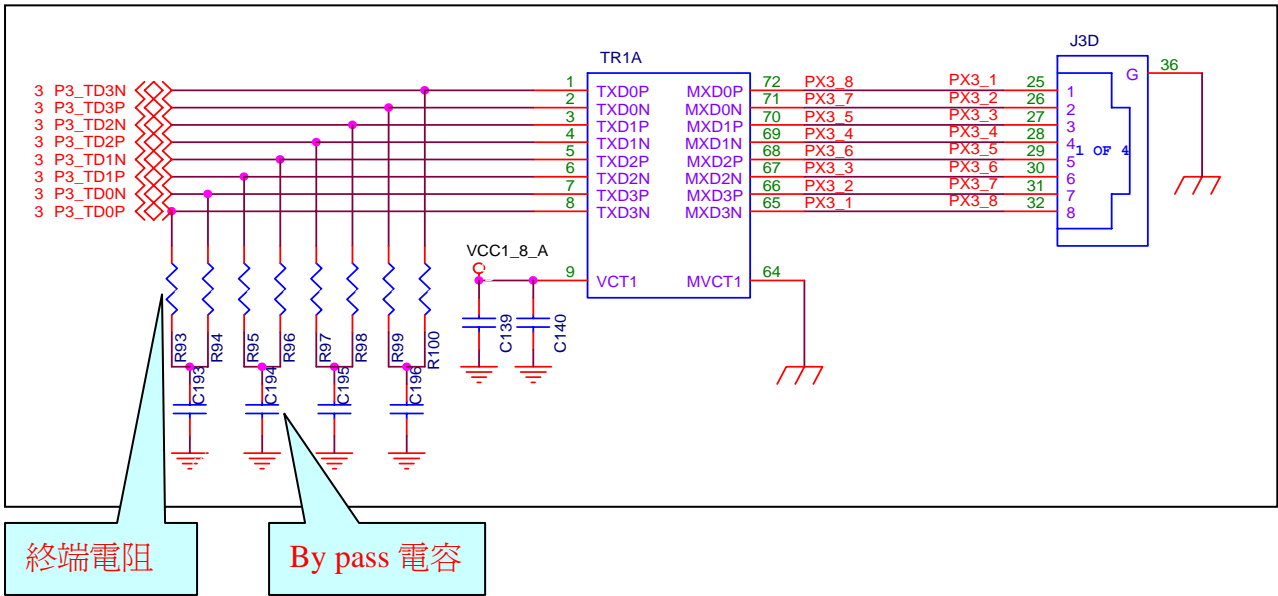


13. General Guidelines - RJ45 to Transformer

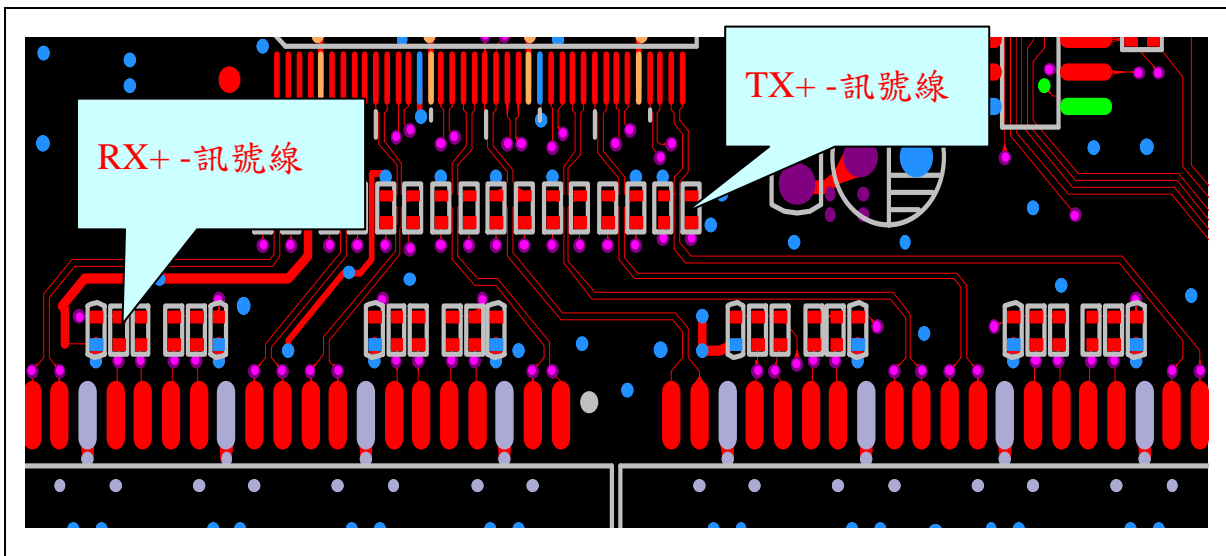
- RJ45 → Transformer 的抽頭，線寬 20mils，Differential pair Trace 必需平行等距。



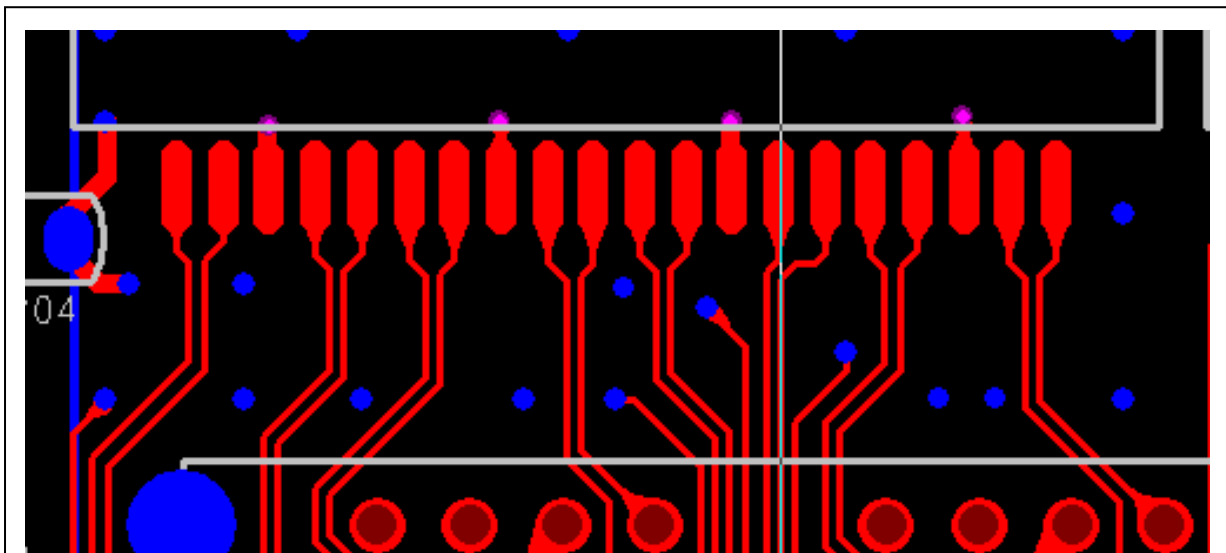
- Transformer To PHY : Differential pair Trace 必需平行等距，PHY 與 Transformer 之間的 Termination resistor 49.9Ω & $0.01\mu\text{f}$ 電容，在 giga port 需放置在靠近 PHY pin 處，在 10/100port 則靠近 Source 端 → RX+ - 訊號線的 Termination resistor 靠近 Transformer，TX+ - 訊號線的 Termination resistor 靠近 PHY，不同的 Differential pair Trace 之間需包 GND 或是使用 3-W 法則
- Differential pair Trace 走線時，轉彎轉偶次數，相互抵消相位



Termination resistor Differential pair LAYOUT

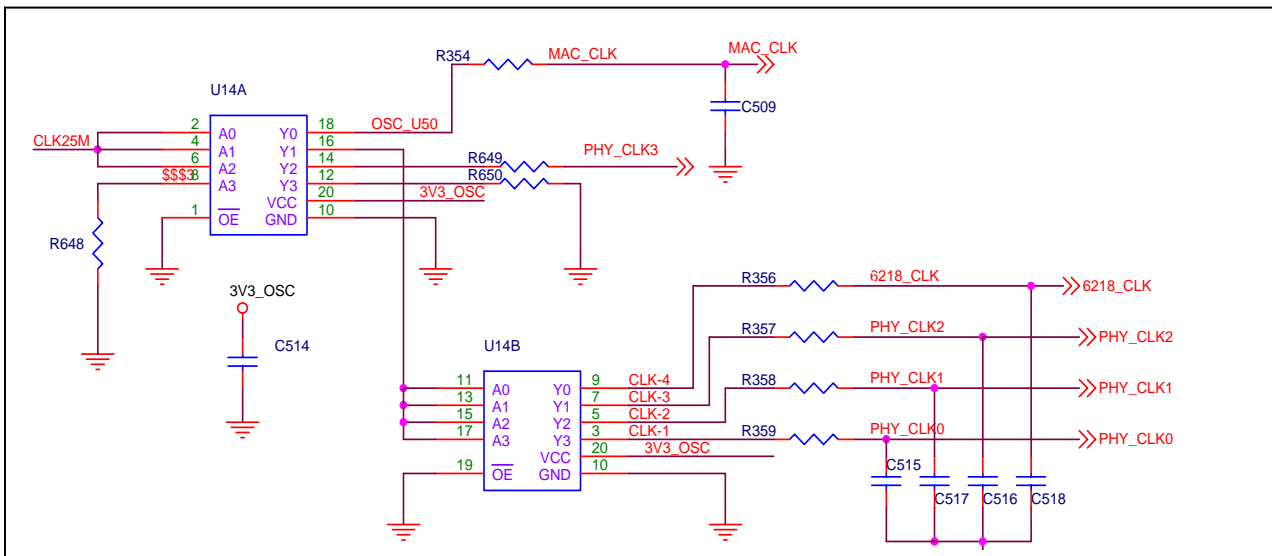


RJ45 → Transformer Differential pair LAYOUT



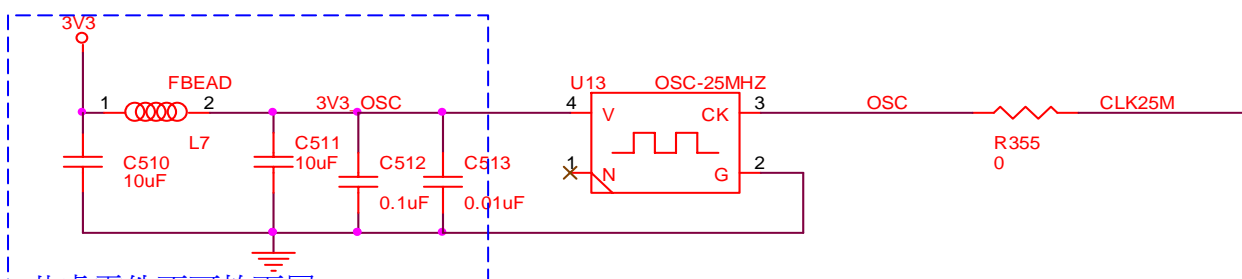
- MDI:PHY \leftarrow --- \rightarrow JACK
- MDC, MDIO:MAC \leftarrow --- \rightarrow PHY \leftarrow --- \rightarrow CPU
- SGMII, GMII, MII:MAC \leftarrow --- \rightarrow PHY
- 以上訊號線保持 3-W 法則，或是空間允許盡量能包 gnd，訊號線下的 GND Plan 保持完整；雙面板時也必需保持有完整的 Return Path。
- 一般佈線:首先查看一下 net 的可連通性，根據線路圖及實際情況進行零件調整，使其更加有利於走線。
- 走線方式:儘量走短線，同一層走線改變方向時，應走斜線(45 度)。
- 多層板走線方向相互垂直，層與層之間偶合面積最小；儘量不要平行走線。
- 當上下層佈線面積不夠使用時，線必須換至電源層時必須告知硬體工程師哪些傳輸線會被放置在內層，詢問硬體工程師內層佈線是否影響線阻抗，內層傳輸線因為線阻抗的關係是否要改變綫寬，切記保持地平面要完整，絕對不可在地平面走綫

14. Clock Routing Guideline



- CLK 電路應盡量放在 PCB 中心附近。
- R356. R357. R358. R359. C515. C517. C516. C518 必須擺放在靠近 U14 pin 旁邊。
- MAC CLK. 6218_CLK. PHY_CLK2. PHY_CLK1. PHY_CLK0. CLK25 這些訊號線須 Clock Trace Layout 在 Vcc Plan，包 GND，GND Net 上必需沿線打 VIA
- 所有的 CLK Trace 儘可能做到不跨越不同的 Vcc Plane

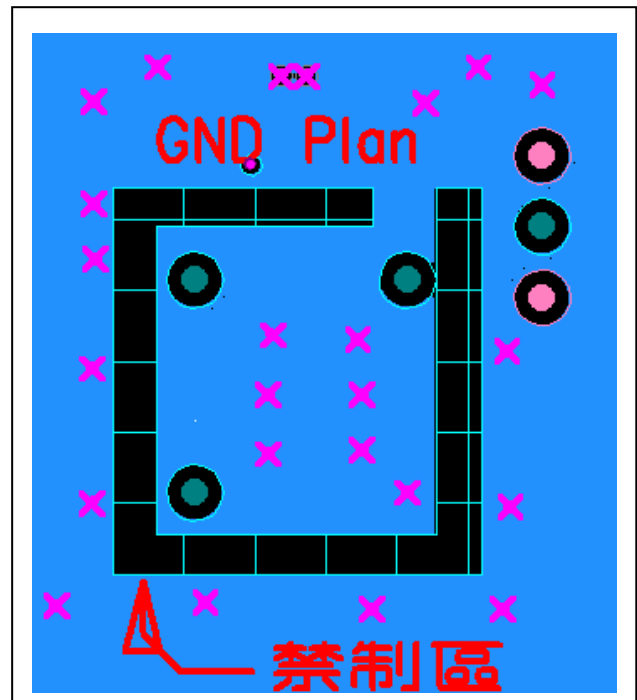
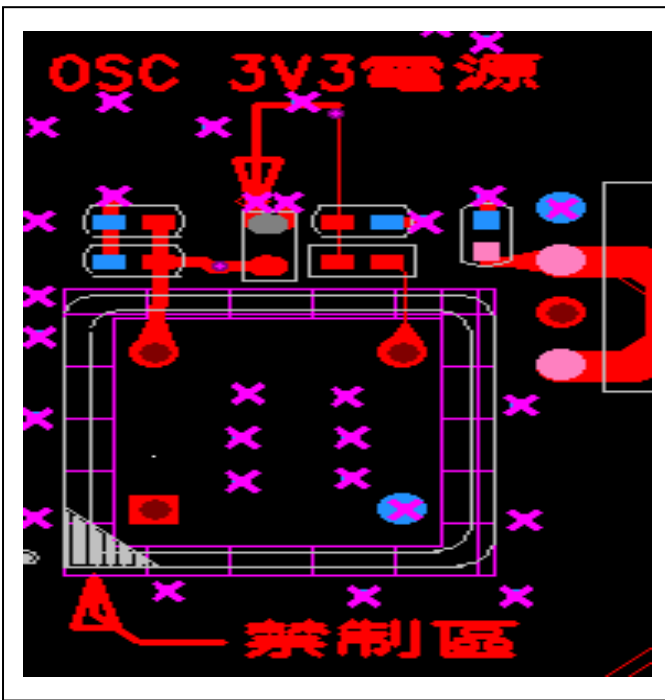
15. OSC & CRYSTAL Guideline



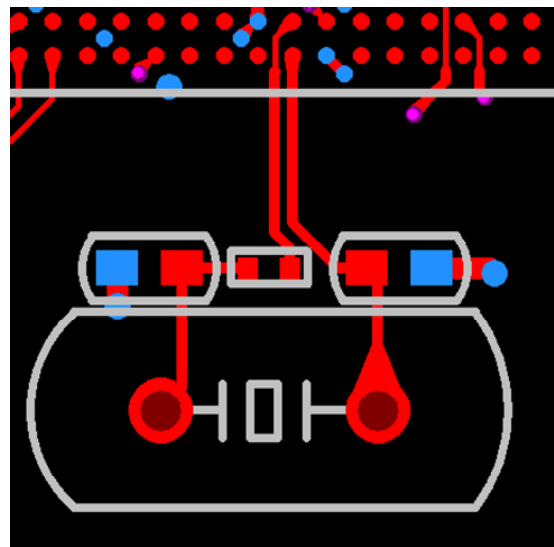
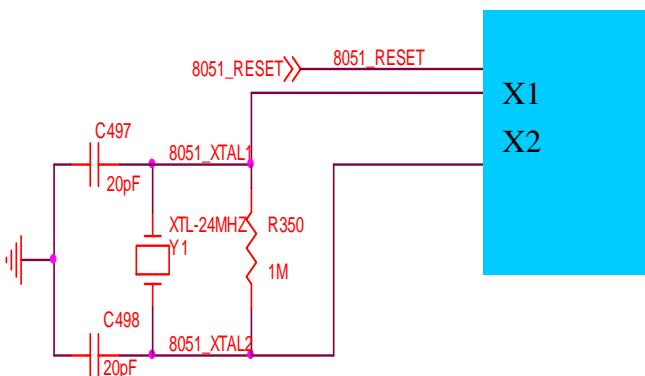
- OSC電路零件擺放:OSC所需供給的電源為3V3，電源零件擺放順序必須依照線路圖上的順序放置(C511 C512 C513 L7 C510這些零件禁止放於下層)
- OSC在Layout時必須注意:在零件本體下方沿零件邊緣劃一60-80mils禁止區，禁止區須禁制所有層面的自動鋪銅進入禁止區內，如下圖(一)
- GND Plan禁止區劃法: 在CLK的pin處留一缺口讓gnd銅箔進入零件下方，如下圖(二)

圖(一)

圖(二)



- CRYSTAL:線路上Y1, C497, C498 必需放置在IC pin旁邊，Trace 越短越好，CRYSTAL零件本體 下方禁止走線或是從pin中間穿線



16. CPU → RAM → FLASH

- CPU到RAM的走線方式(2種方式):

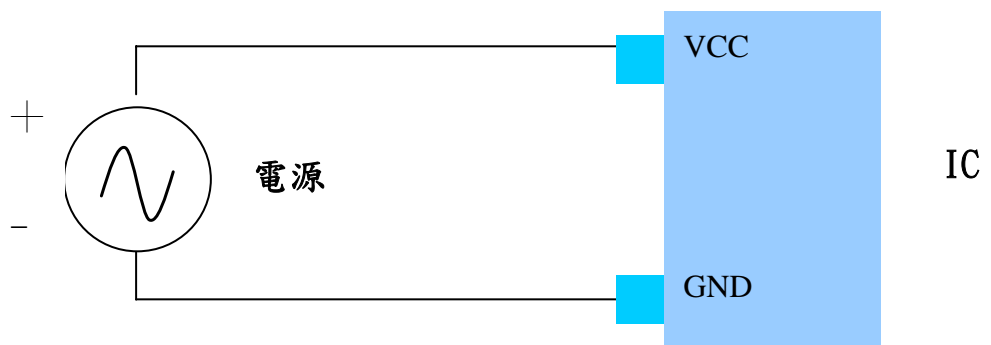
需依循硬體工程師的需求走線

1. 所有的控制線與Data線均由CPU拉出到排阻，再由排阻另一端先拉至第一顆RAM再拉出到第二顆RAM
2. 所有的控制線與Data線均由CPU拉出到排阻，在排阻另一端Pin打Via分拉2 條Trace各自到單顆 RAM。

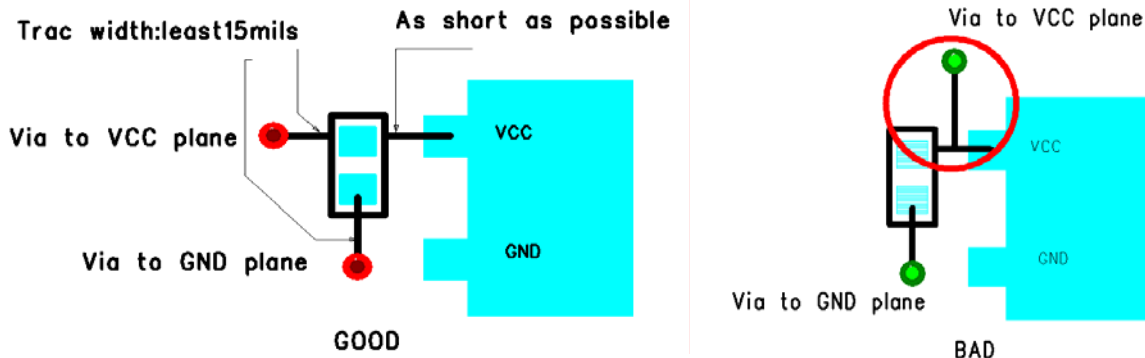
- 控制線與date線整條net上的via不要超過3個via為原則
- FLASH傳輸線走線盡量短減少VIA

17. General Guidelines - Decoupling Capacitor

- Power : 一般 IC 都需要有 Power 才能正常工作，Power 通常是接到 IC 的 VCC 及 Gnd pin

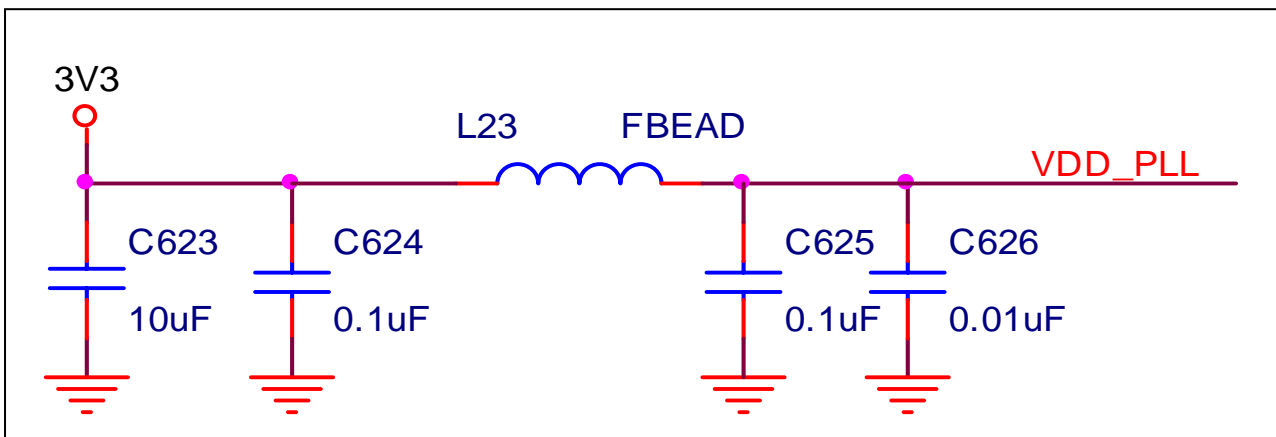


- Decoupling 電容 : 一般為了讓 IC 能得到較穩定電源，通常會在 VCC pin 加 Decoupling 電容濾雜訊. Decoupling 電容位置越靠近 IC 越好，太遠則沒有效果



- Power Trace :Trace 寬度依流過電流大小來決定，電流越大線寬越粗，一般小電流線寬為 10-20 mils，大電流理想線寬每 1 安培 40 mils.
- Power Trace 太細則易造成 Power 不好及 Drop 電壓太大
- Vref 是很重要信號，其電流很小亦受干擾，所以線寬要粗及線距要大，佈線需小心處理
- 一般 chips PLL power 都會一組 L /C Filter，以確保 power 是否乾淨不被干擾，所以其佈線是很重要，除了 L/C filter 需靠近 chips 端及線寬/線距的規範，還須注意是否有跨不同 power plane 的問題。

L /C Filter 線



18. POWER 部分

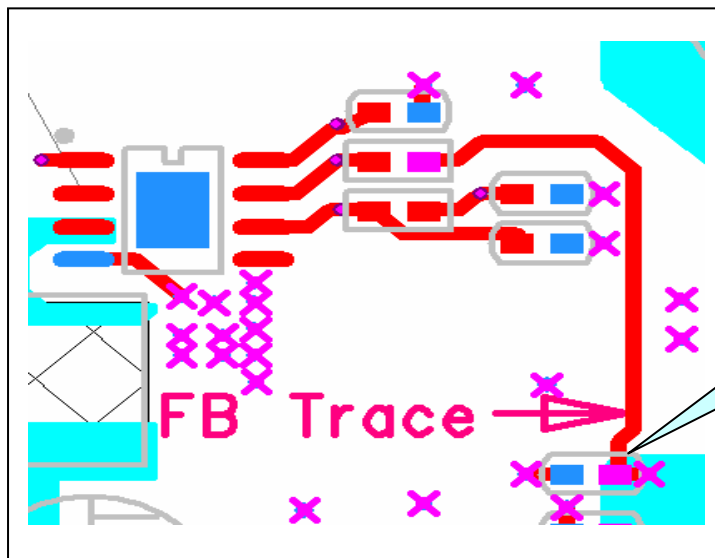
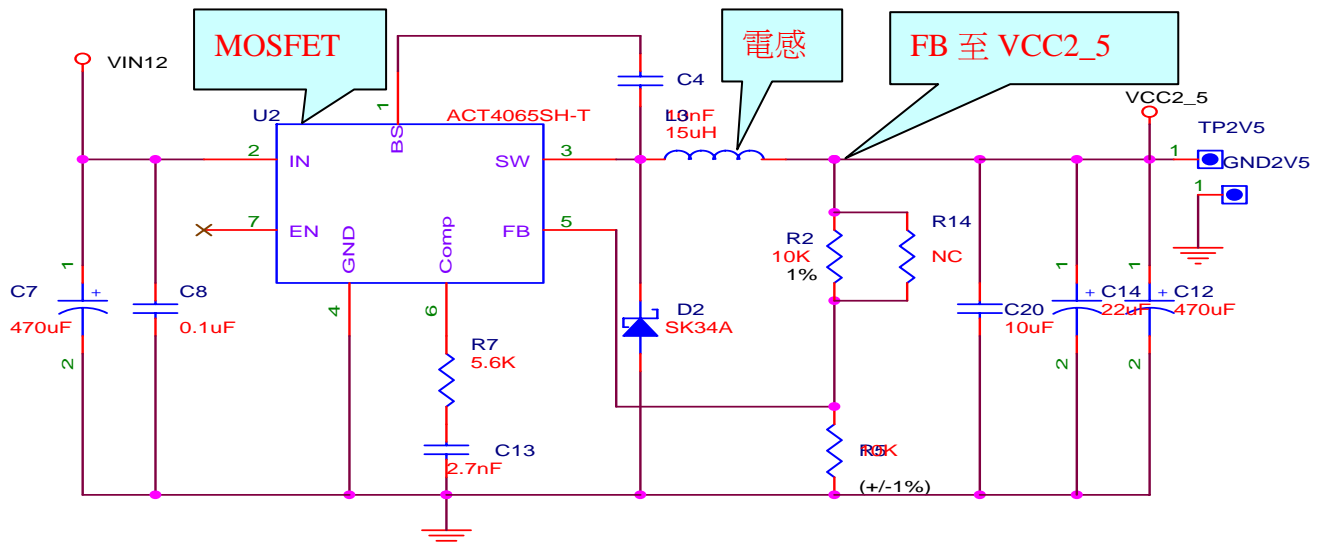
- 一個板子可能會有好幾組用於電壓轉換的 PWM , PWM power 用的電感, 在底下的 ground 與 power 層最好能挖空, 防止 power swithing 的低頻耦合至系統
- PWM power 用的 MOS, 在 ground pin 易忽略 via hole 數量要足夠
板子在 power-in 的 connector(or dc-jack), 底下的 ground 與 power 層最好能挖空
- 每一個 PWM power output 均會有一些 output 電容, power trace 一定要經過這些電容, 再打 via 至 power plane, 這樣做, 電容才有作用, 且 via 要視電流大小, 盡可能多
- PWM power output 很有可能會有一些 feedback 線路, 應該為兩個電阻(1%)作分壓, 由 output 端拉 trace 回 PWM controller, 一定要從 output 電容後再拉回
- power 或 ground plane 有可能會被連續的 via hole 造成 plane 變窄, 甚至割斷, 所以要特別注意,
- power MOSFET 盡可能靠近 controller, 電感, power MOSFET 與 Doide 盡可能靠近
- ground plane 要大於 power plane
- 電源要由上層換到下層時, 重疊的銅箔部分需增加 via, 在換層電源處旁間增加一些 gnd via

ps:capacitor 的種類:bulk.....大電容,則儲存電容

bypass...filter common mode noise,例如:PHY 與 transformer 之間,在兩個 50Ω 電阻中間的電容.

decoupling ...chip 旁的小電容

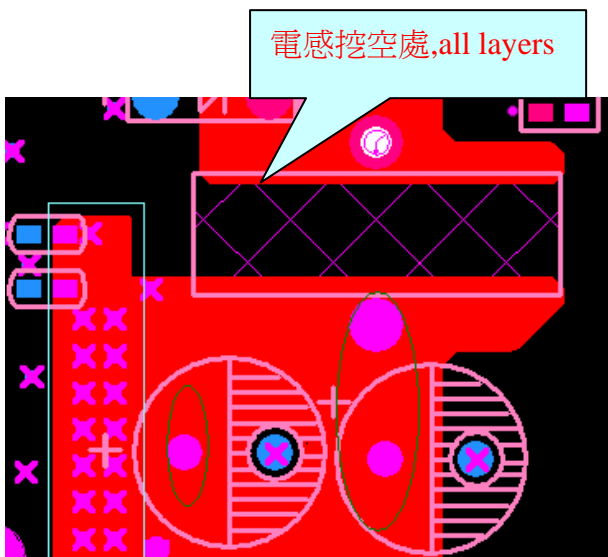
電源線路



FB Trace 15-20 mils
拉至波濾后的電容位置

- 電源線路圖上的 Inductor 零件作銅箔時要注意, Inductor 上畫上與零件一樣大的禁止區,禁止所有層面的自動鋪銅與 Trace 進入,在零件本體 1.2pin 上畫大面積銅箔,1.2pin 間的銅箔不可太靠近避免彼此干擾,電流的流向必須依照線路圖上的流向,不可隨意繪製銅箔

- 依照線路圖零件順序放置零件(濾波電容一般放置順序由容值大到小)，經過濾波后的電源再進入 Vcc Plan，在濾波後作一大塊銅箔放置 Vcc Via 6-12 個進入 Vcc Plan 如下圖(一)矩形框選處
- 濾波前的電源均不可進入 Vcc Plan，避免電流不乾淨，必須關掉所有的濾波前 Dip 零件的 Plan Thermal，如下圖(二)內框選處：



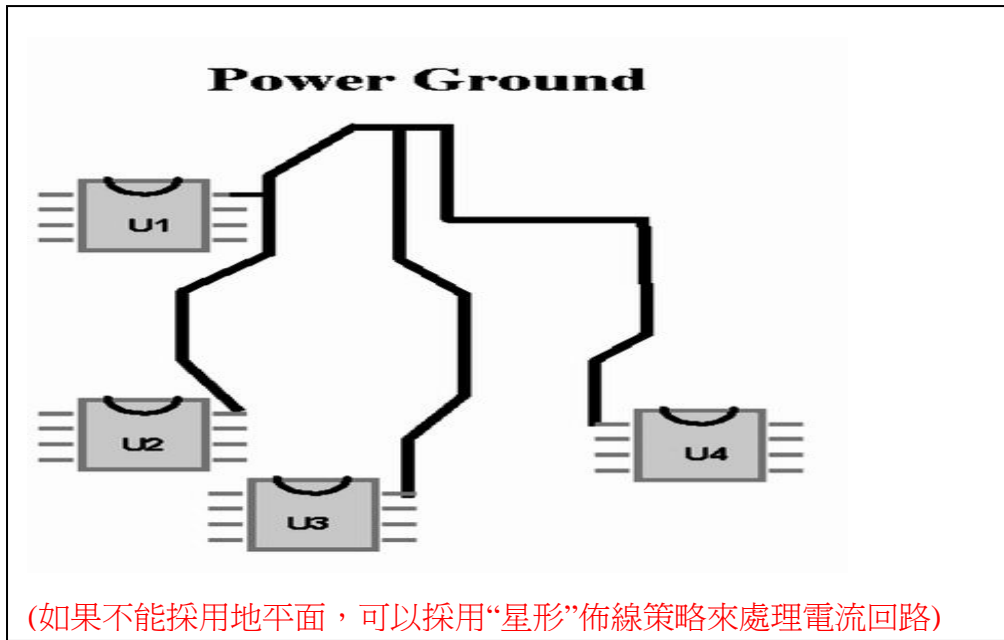
圖(一)



圖(二)關 Dip 零件的 Plan Thermal 方法

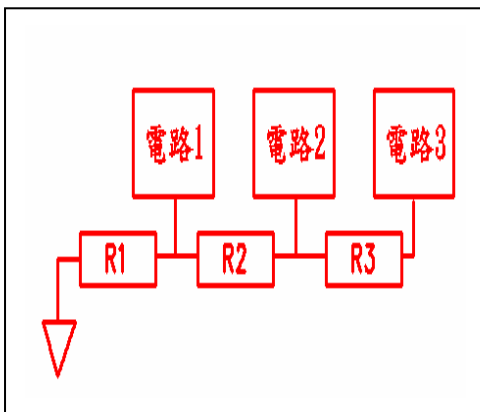
19. GND & Vcc Plan 切割

- RJ45 TO Transformer: Transformer的一次側&二次側， GND CHASSIS&GND SINGLE之間 必須有MOAT80-120mil隔開，相隔的GAP上依照EMI需求必需跨接上BEAD
- GND CHASSIS&GND→接鐵殼大地； GND SINGLE→接板內所有訊號線GND, 屬於GND CHASSIS 端的Differential
- pair距離GND CHASSIS 的pad的間距設置為30mi. 屬於GND SINGLE端的所有訊號線依照硬 體線阻抗作設置
- pcb內所有不相同的gnd必須清楚隔開。
- 多層板中的電源. 地層的銅箔外框邊緣要縮小，如電源. 地層的銅箔露出板外容易造成短 路，電源層間的不同電源銅箔距離20mil。上下層銅箔內縮40MIL, 內層內縮80-100MIL
- 無地平面時的電流回路設計
 - 1、如果使用走線，應將其線寬盡量加粗
 - 2、如果不能採用地平面，應採用星形連接策略
 - 3、數位電流不應流經類比器件
 - 4、高速電流不應流經低速器件

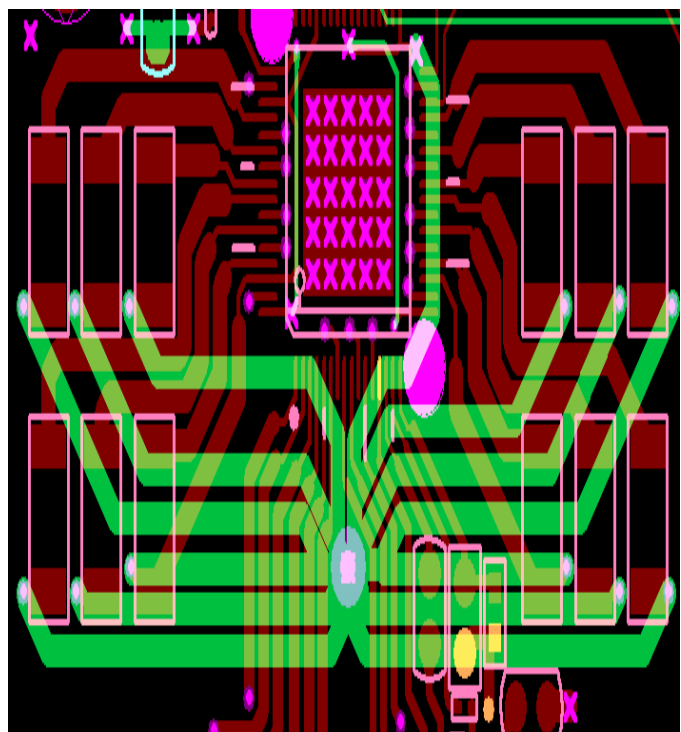
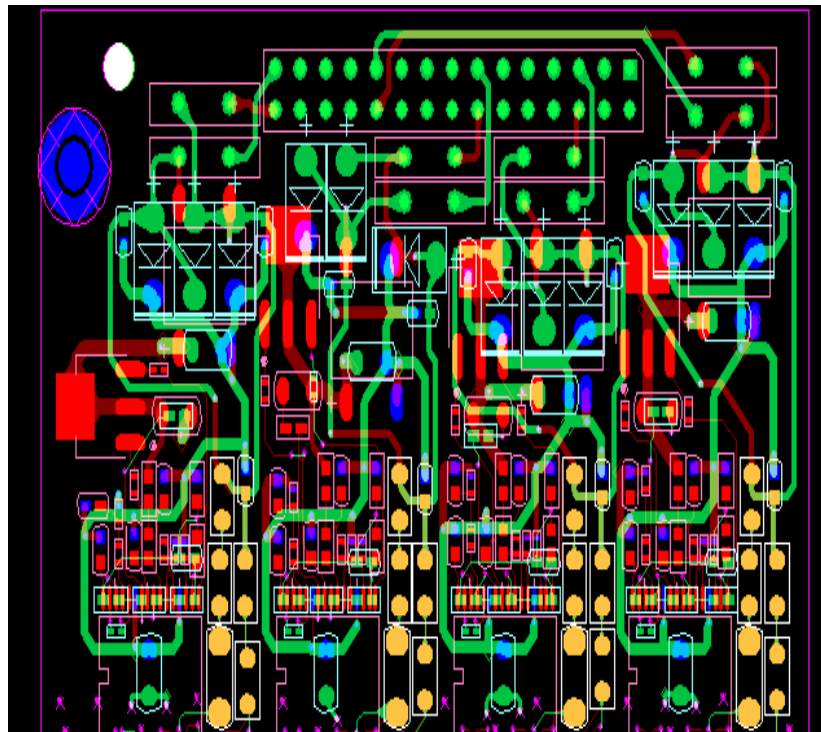
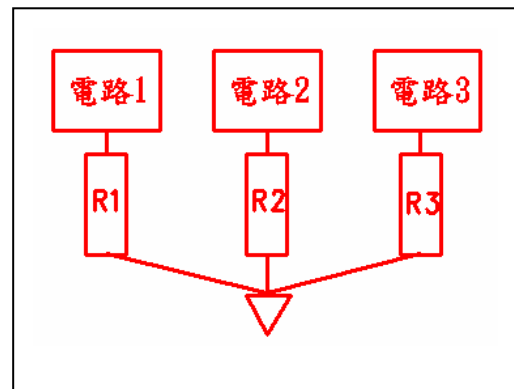


- 單點接地：

圖(一)



圖(二)



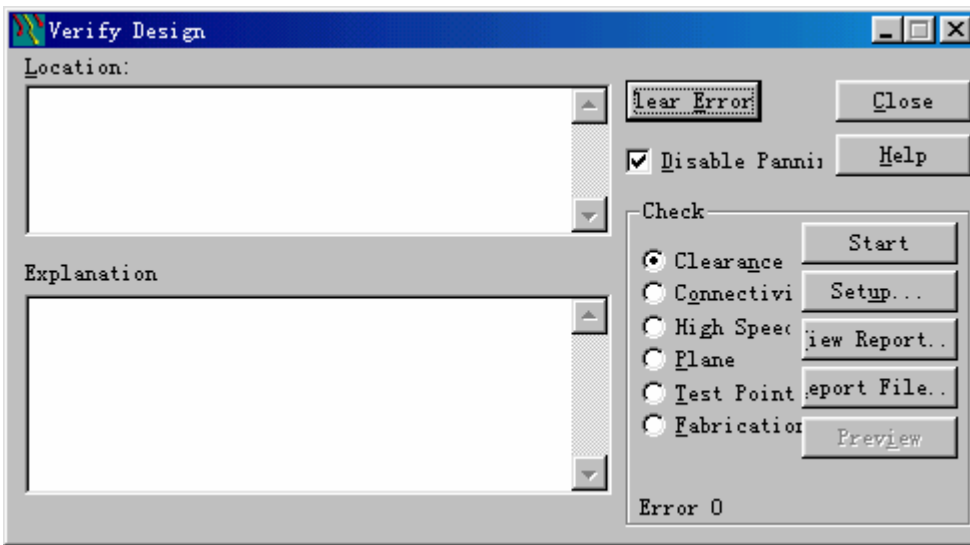
20. DRC : Design Rule Check

檢查項目：

Trace width PCB 制作初步完成，“鋪銅”與“補銅”，連線、連通性、間距、“孤島”、文字標示、測試點

Via size	pad to trace space
Routing grid	pad to via space
Via to trace space	pad to outline space
Via to via space	trace to trace space

*依順序每一項逐一檢查



對線路進行檢查，進行補銅處理，；通過檢查窗口，對項目進行間距、連通性檢查。

- 後加在 PCB 中的圖形（如圖標、標注）是否會造成信號短路
- 对一些不理想的线形进行修。
- 在 PCB 上是否加有 2D 線？防焊是否符合生產的要求, 字符標誌是否壓在零件 PAD 上。
- 多層板中的電源地層的外框邊緣是否縮小，如電源地層的銅箔露出板外容易造成短路

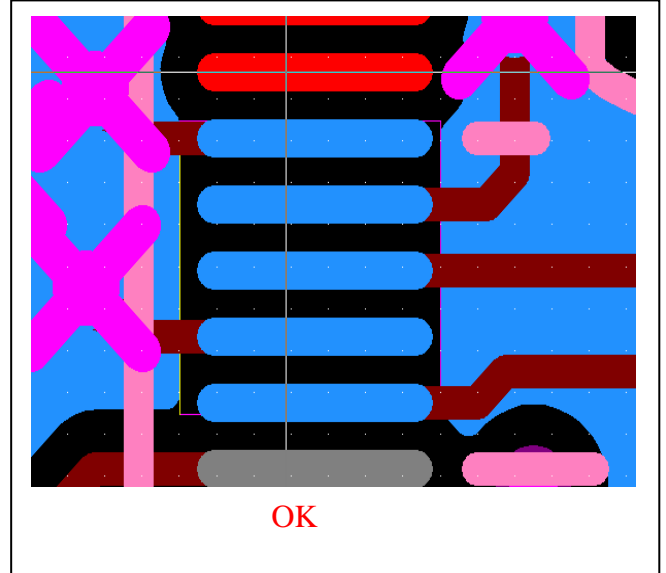
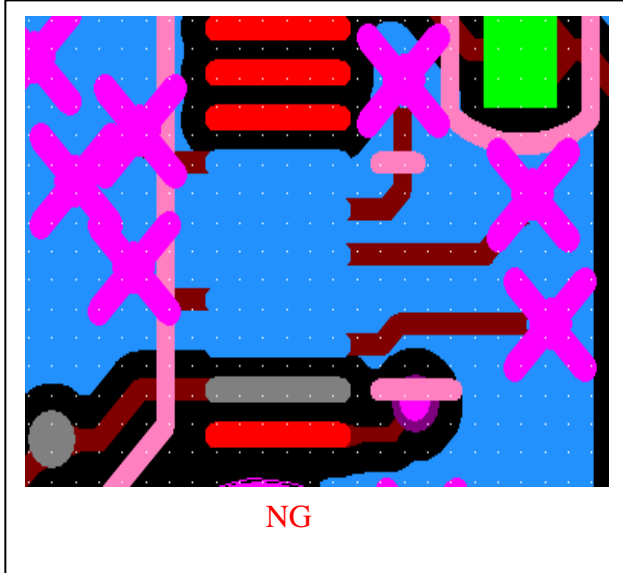
檢查無誤後，生成底片，並作 CAM350 檢查。作存檔紀錄

21. CAM 輸出/輸出文件(參考 gerber file 流程圖)

- PCB 佈線完成後的最重要是輸出底片製作 PCB, 輸出層面。
 1. Routing/Split Plan(PCB 所有的設置層面)
 2. Solder Mask (Top / Bottom)防焊層的 pad 必須比實際 pad 大 4mil
 3. Paste Mask (Top / Bottom)SMD 零件的黏貼層, pad 與實際 pad 相同
 4. Silkscreen (Top / Bottom)文字層
 5. Drill Drawing 鑽孔
 6. NC Drill 鑽孔帶
- 使用 CAM350 內 Import 所有輸出的 Gerber 文件, 在 Solder Mask Bottom 拿掉所有的 pcb 板內螺絲孔的 pin1 的防焊, 所有層面須對齊, 再 Export Gerber 資料, 從新載入輸出的文件查看是否正確。
- 寫 pcb 製作規範, 制作排板圖供板廠參考用。
- 所有程序完畢後使用 pcb layout 軟體輸出零件座標檔(.asc PowerPcbV3.5)
供生技部門使用。
- 輸出所有技轉所需資料供文管, 備料人員使用(參閱公司技轉資料檔案)。

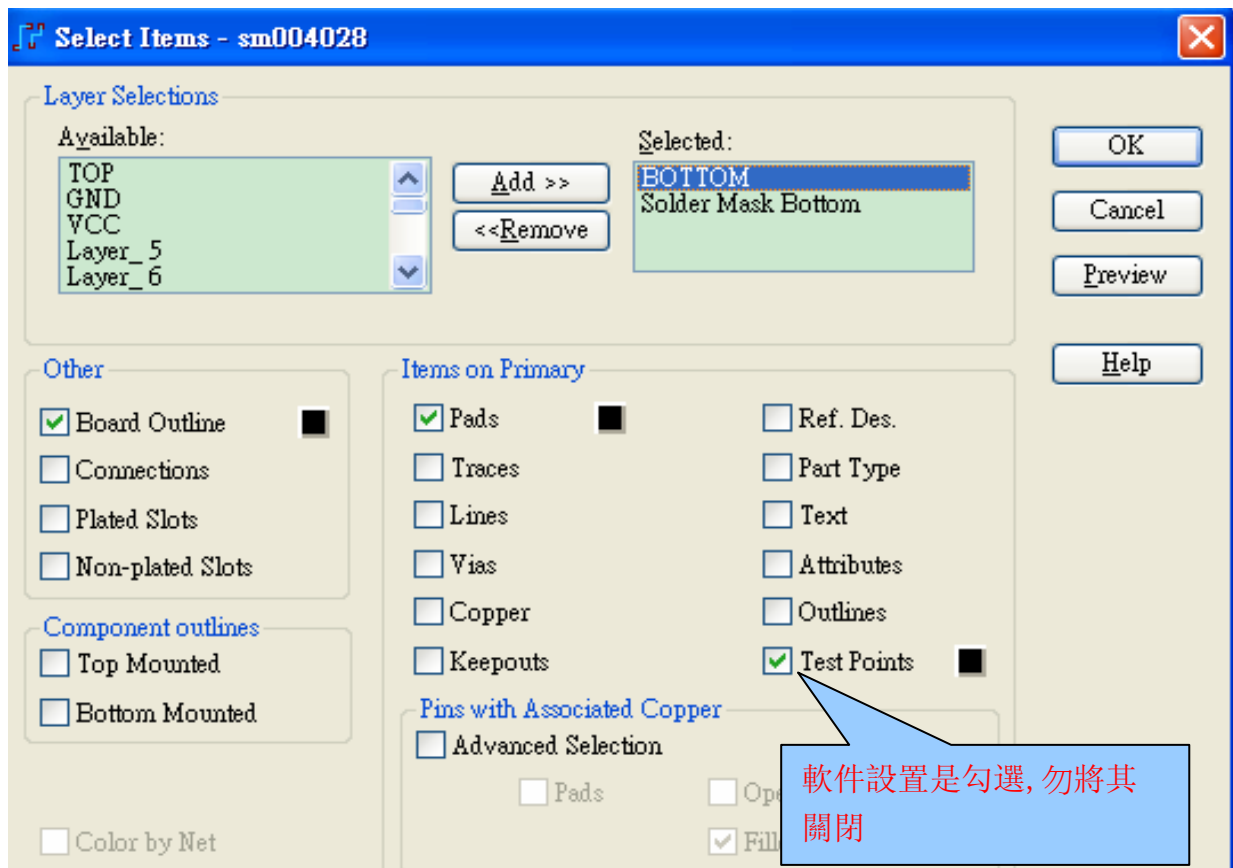
22. 其他注意事項

1. PQFP 封裝零件, 在 PCB 上若是有電源或是地 PIN 連續相接, 因 PCB 製程緣故, 需將零件上 PIN 相連的 PIN 處繪製禁止區 (禁止銅箔自動鋪入 PIN)

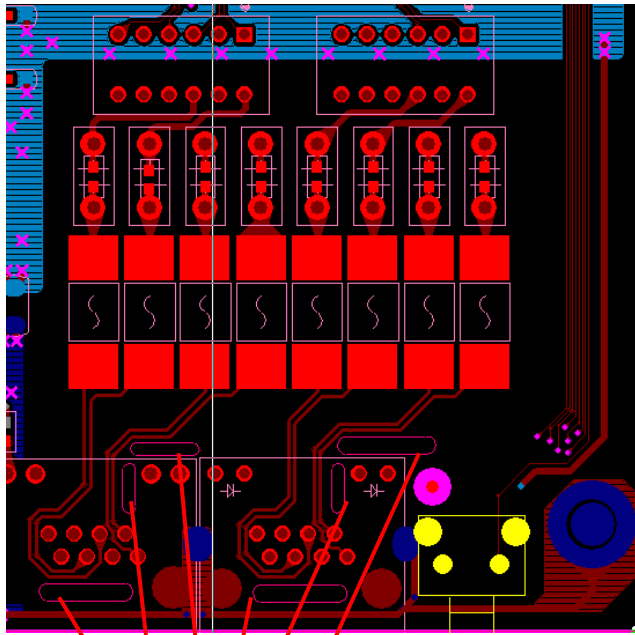


2. TEST POINT:

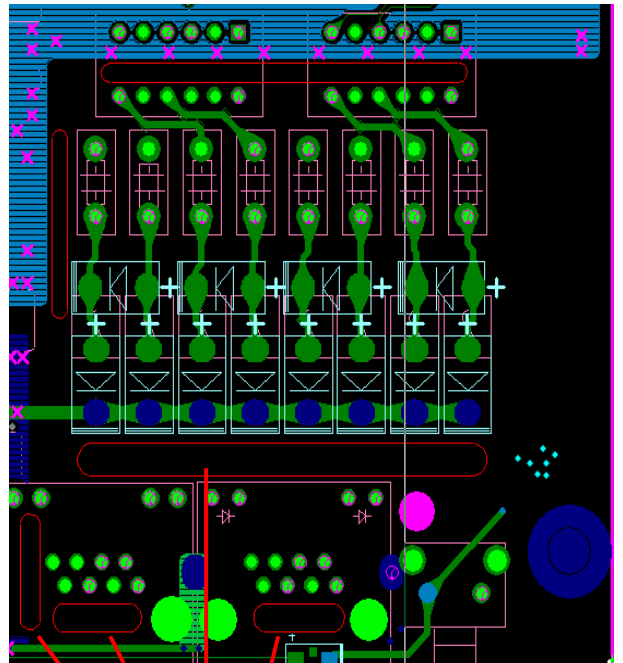
PCB 若是整板加上測試點時, 出圖時, 軟體的 GERBER TEST POINT 預設值測試點是打勾的, 勿將測試點處勾號取消, 取消此處將造成整板 ICT 測試點通通無用



3. T1 PORT EMI 規則



需保持最少 1.5mm 之距離



需保持最少 1.5mm 之距離

23. PCB 製作規範填寫注意事項

1. 基板:如 2~4~6~8 層,厚度多少需註明
2. 基板材質:目前統一為 FR-4
3. PCB 排版方式:請註明 1PNL 是幾連版 or 單排版方式,如有排版圖示,不管是用任何文件顯示,請附加上去
4. 連版 or 單版尺寸(含 V-CUT)請正確標明
5. PCB 製程表面處理:依照目前公司要求均為”無鉛噴錫” or ”化金” 其它製程因公司庫存保存期限與產線考量不予採用
6. 詳細標示製程金屬含量百分比或金手指部份度多少 u 數,如:錫 96.5% 銀 3.5% 銅 0.5%,金手指則標示清楚度 1~3u or 3~5u
7. 金手指部份:導角深度與斜邊,均詳細註明清楚,如有圖示則剪貼上去則更好
8. 表面防焊的油墨顏色:目前公司統一為”綠色”,如有特殊要求請額外註明
9. 表面文字顏色:目前公司統一為”白色”,如有特殊要求請額外註明
10. Via hole 塞孔:要完全塞孔
11. PCB 廠商 Logo 及 UL Type 與 PCB 週期 and 防火等級均要求要印在文字層上面且要清晰可見
12. 請詳細填寫該料號的最小線徑~~最小間距~~最小孔徑,讓 PCB 製作廠商能一目瞭然
13. 鑽孔方示:請標示清楚為何種方示:如機械鑽孔 or 雷射鑽孔,甚至是 CNC Routing
14. 鑽孔的孔徑為通孔或埋孔甚至是盲孔
15. 要求 PCB 製作廠商在蝕刻時誤差值不超過 20%,斷線時絕不可修補,鑽孔孔徑不能誤差到 10%
16. 針對 PCB 線阻抗控制,請詳細要求要單一線阻抗控制 or 差動控制,或者是兩者均要製作阻抗,且嚴格要求誤差控制在 10%以內,如能附上疊構則更優,如本身無法試算時也可請 PCB 廠先行試算,看是否符合 H.W 工程師所要的阻抗控制值
17. 對於多層板時請註明所要的每一層銅厚,如一般為上下層均為 0.5 盎司銅厚,內層則為 1 盎司銅厚,如有特殊需求,當然可以更改銅厚,成本需求則會增加很多,基板所需時間亦會較久
18. Layout 工程師需把所送的 Gerber file 裡的層面與張數詳細的加註在 PCB 製作規範中,以確保所送資料是正確及完整的
19. 另製程中有特殊要求或特別強調的注意事項,可以在備註欄付加上或用貼圖方示剪貼上去
20. 對於 PCB 製作規範如有任何疑慮,請貴廠工程單位主動提出問題並予處理及解決

PS. 目前我們公司的 PCB 製作規範雖有一定的模式,有些少部份仍需修正或增加,本人會再與 PCB 廠溝通或要其它需再增加的資料,讓我們的製作規範能更加的完整.